

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-150716

(43)Date of publication of application : 30.05.2000

(51)Int.Cl.

H01L 23/12

H01L 21/60

(21)Application number : 10-341182

(71)Applicant : NEC CORP

(22)Date of filing : 16.11.1998

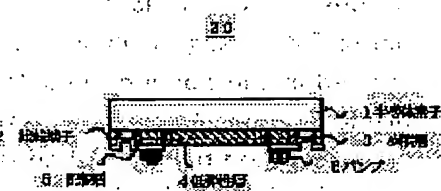
(72)Inventor : SUZUKI TAKATOSHI
FUNADA YOSHITSUGU

(54) PACKAGE STRUCTURE AND SEMICONDUCTOR DEVICE, MANUFACTURE OF PACKAGE AND SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To improve mounting reliability of a package by relaxing stress generated in a bump by providing a resin layer and forming a low elasticity layer whose elastic modulus is set lower than elastic modulus of a resin layer on a connection surface of a wiring layer lower part to a specified film thickness.

SOLUTION: A resin layer 3 is provided on a semiconductor element 1 and a low elasticity layer 4 whose elastic modulus is lower than that of the resin layer 3 is further provided only to a lower part of a circumference of a bump 6 formed in a wiring layer 5. Thermosetting resin is preferable for a material of the resin layer 3 and the low elasticity layer 4. According to this constitution, since the low elasticity layer 4 is provided to a lower part of a circumference of the bump 6 wherein largest stress is generated in a semiconductor device 20, stress can be relaxed. As a result, mounting reliability of the semiconductor device 20 is improved in the semiconductor device 20 of a chip size package assembled in the semiconductor device 20 in a wafer process.



LEGAL STATUS

[Date of request for examination]

16.11.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3116926

[Date of registration]

06.10.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] It is the package structure of the chip-size package assembled in a package at a wafer process. The low elastic layer which is a perimeter of predetermined except at least one or more bumps' abbreviation sag in which the electronic device on a wafer was formed in contact with the wiring layer formed in the connection side side connected on a mounting substrate by face down, and was formed by predetermined thickness on said connection side of said wiring layer lower part, Package structure characterized by having had the resin layer formed by predetermined thickness on said connection side around said low elastic layer, and having set up lower than the modulus of elasticity of said resin layer the modulus of elasticity of said low elastic layer.

[Claim 2] It is the package structure of the chip-size package assembled in a package at a wafer process. The low elastic layer which is the predetermined range containing at least one or more bumps' abbreviation sag in which the electronic device on a wafer was formed in contact with the wiring layer formed in the connection side side connected on a mounting substrate by face down, and was formed by predetermined thickness on said connection side of said wiring layer lower part, Package structure characterized by having had the resin layer formed by predetermined thickness on said connection side around said low elastic layer, and having set up lower than the modulus of elasticity of said resin layer the modulus of elasticity of said low elastic layer.

[Claim 3] The wiring layer formed in the connection side side where it is the semiconductor device of the chip-size package assembled in a package at a wafer process, and the semiconductor device on a wafer is connected on a mounting substrate by face down, At least one or more bumps formed in contact with said wiring layer, and the low elastic layer which had the predetermined modulus of elasticity, is on said connection side of said wiring layer lower part, and was formed in the perimeter of predetermined except said bump's abbreviation sag by predetermined thickness, The semiconductor device characterized by having had the predetermined elastic modulus, having had the resin layer formed by predetermined thickness on said connection side around said low elastic layer, and having set up the elastic modulus of said low elastic layer lower than the elastic modulus of said resin layer.

[Claim 4] The wiring layer formed in the connection side side where it is the semiconductor device of the chip-size package assembled in a package at a wafer process, and the semiconductor device on a wafer is connected on a mounting substrate by face down, At least one or more bumps formed in contact with said wiring layer, and the low elastic layer formed in the predetermined range which has a predetermined modulus of elasticity, is on said connection side of said wiring layer lower part, and contains said bump's abbreviation sag by predetermined thickness, The semiconductor device characterized by having had the predetermined elastic modulus, having had the resin layer formed by predetermined thickness on said connection side around said low elastic layer, and having set up the elastic modulus of said low elastic layer lower than the elastic modulus of said resin layer.

[Claim 5] It is the package manufacture approach of the chip-size package assembled in a package at a wafer process. The process which is a perimeter of predetermined except at least one or more bumps' abbreviation sag in which the electronic device on a wafer was formed in contact with the wiring layer formed in the connection side side connected on a mounting substrate by face down, and forms a low

elastic layer by predetermined thickness on said connection side of said wiring layer lower part, The package manufacture approach characterized by having the process which forms a resin layer by predetermined thickness on said connection side around said low elastic layer, and the process which sets up the elastic modulus of said low elastic layer lower than the elastic modulus of said resin layer. [Claim 6] It is the package manufacture approach of the chip-size package assembled in a package at a wafer process. The process which is the predetermined range containing at least one or more bumps' abbreviation sag in which the electronic device on a wafer was formed in contact with the wiring layer formed in the connection side side connected on a mounting substrate by face down, and forms a low elastic layer by predetermined thickness on said connection side of said wiring layer lower part, The package manufacture approach characterized by having the process which forms a resin layer by predetermined thickness on said connection side around said low elastic layer, and the process which sets up the elastic modulus of said low elastic layer lower than the elastic modulus of said resin layer. [Claim 7] The process which forms a wiring layer in the connection side side where it is the semiconductor device manufacture approach of the chip-size package assembled in a package at a wafer process; and the semiconductor device on a wafer is connected on a mounting substrate by face down, The process which forms at least one or more bumps formed in contact with said wiring layer, The process which has a predetermined modulus of elasticity, is on said connection side of said wiring layer lower part, and forms a low elastic layer in the perimeter of predetermined except said bump's abbreviation sag by predetermined thickness, The semiconductor device manufacture approach characterized by having the process which has a predetermined elastic modulus and forms a resin layer by predetermined thickness on said connection side around said low elastic layer, and the process which sets up the elastic modulus of said low elastic layer lower than the elastic modulus of said resin layer. [Claim 8] The process which forms a wiring layer in the connection side side where it is the semiconductor device manufacture approach of the chip-size package assembled in a package at a wafer process, and the semiconductor device on a wafer is connected on a mounting substrate by face down, The process which forms at least one or more bumps formed in contact with said wiring layer, The process which forms the low elastic layer formed in the predetermined range which has a predetermined modulus of elasticity, is on said connection side of said wiring layer lower part, and contains said bump's abbreviation sag by predetermined thickness, The semiconductor device manufacture approach characterized by having the process which has a predetermined elastic modulus and forms a resin layer by predetermined thickness on said connection side around said low elastic layer, and the process which sets up the elastic modulus of said low elastic layer lower than the elastic modulus of said resin layer.

[Translation done.]

*** NOTICES ***

JPO and NCIP I are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] Especially this invention relates to a semiconductor device, the package manufacture approach, and the semiconductor device manufacture approach about the mounting technology of a semi-conductor at the package structure list suitable for the chip-size package (CSP:Chip Size Package) assembled in a package at a wafer process.

[0002]

[Description of the Prior Art] Drawing 11 is cross-section structural drawing which mounted the semiconductor device of the conventional chip-size package in the mounting substrate 10. As shown in drawing 11, under-filling resin 11 was filled up with the conventional semiconductor device 20 assembled in a package after a wafer process between the semiconductor device 1 and the mounting substrate 10. This is for destructive prevention of a joint (specifically, they are a bump 6, the mounting substrate 10, or a bump 6 and a semiconductor device 1) with a semiconductor device 1, the stress generated by the differential thermal expansion of the mounting substrate 10, and the stress generated by disconnection of the heat added at the time of mounting.

[0003] As mounting technology of such a conventional chip-size package, there are some which were indicated by JP,57-121255,A, for example. That is, the electrical circuit component body top except a circuit electrode is covered by the protective coat, the spacer film is further formed on it, film wiring is formed on this spacer film, the end of film wiring is connected to a circuit electrode, and the metal bump electrode is formed in the other end.

[0004]

[Problem(s) to be Solved by the Invention] However, there was a trouble that effectiveness is bad since the process filled up with under-filling resin 11 increases, the storage approach of resin and duration of service also had constraint, and workability was bad in the conventional technique. Moreover, when a bump's 6 pitch and a bump's 6 size became small, there was also a problem to which a crack occurs with the stress generated by the bump 6, and dependability falls.

[0005] This invention is made in view of this trouble, and the place made into the purpose is in the point of providing with a semiconductor device, the package manufacture approach, and the semiconductor device manufacture approach the package structure list which eases the stress generated by the bump and can improve the mounting dependability of a package.

[0006]

[Means for Solving the Problem] The summary of this invention according to claim 1 is the package structure of the chip-size package assembled in a package at a wafer process. The low elastic layer which is a perimeter of predetermined except at least one or more bumps' abbreviation sag in which the electronic device on a wafer was formed in contact with the wiring layer formed in the connection side side connected on a mounting substrate by face down, and was formed by predetermined thickness on said connection side of said wiring layer lower part, It has the resin layer formed by predetermined thickness on said connection side around said low elastic layer, and consists in the package structure characterized by having set up lower than the modulus of elasticity of said resin layer the modulus of elasticity of said low elastic layer. Moreover, the summary of this invention according to claim 2 is the package structure of the chip-size package assembled in a package at a wafer process. The low elastic layer which is the predetermined range containing at least one or more bumps' abbreviation sag in which the electronic device on a wafer was formed in contact with the wiring layer formed in the connection side side connected on a mounting substrate by face down, and was formed by predetermined thickness on said connection side of said wiring layer lower part, It has the resin layer formed by predetermined thickness on said connection side around said low elastic layer, and consists in the package structure characterized by having set up lower than the modulus of elasticity of said resin layer the modulus of elasticity of said low elastic layer. Moreover, the summary of this invention according to claim 3 is the semiconductor device of the chip-size package assembled in a package at a wafer process. The wiring layer formed in the connection side side where the semiconductor device on a wafer is connected on a mounting substrate by face down, At least one or more bumps formed in contact with said wiring layer,

and the low elastic layer which had the predetermined modulus of elasticity, is on said connection side of said wiring layer lower part, and was formed in the perimeter of predetermined except said bump's abbreviation sag by predetermined thickness. It has a predetermined elastic modulus, has the resin layer formed by predetermined thickness on said connection side around said low elastic layer, and consists in the semiconductor device characterized by having set up the elastic modulus of said low elastic layer lower than the elastic modulus of said resin layer. Moreover, the summary of this invention according to claim 4 is the semiconductor device of the chip-size package assembled in a package at a wafer process. The wiring layer formed in the connection side side where the semiconductor device on a wafer is connected on a mounting substrate by face down, At least one or more bumps formed in contact with said wiring layer, and the low elastic layer formed in the predetermined range which has a predetermined modulus of elasticity, is on said connection side of said wiring layer lower part, and contains said bump's abbreviation sag by predetermined thickness. It has a predetermined elastic modulus, has the resin layer formed by predetermined thickness on said connection side around said low elastic layer, and consists in the semiconductor device characterized by having set up the elastic modulus of said low elastic layer lower than the elastic modulus of said resin layer. Moreover, the summary of this invention according to claim 5 is the package manufacture approach of the chip-size package assembled in a package at a wafer process. The process which is a perimeter of predetermined except at least one or more bumps' abbreviation sag in which the electronic device on a wafer was formed in contact with the wiring layer formed in the connection side side connected on a mounting substrate by face down, and forms a low elastic layer by predetermined thickness on said connection side of said wiring layer lower part. It consists in the package manufacture approach characterized by having the process which forms a resin layer by predetermined thickness on said connection side around said low elastic layer, and the process which sets up the elastic modulus of said low elastic layer lower than the elastic modulus of said resin layer. Moreover, the summary of this invention according to claim 6 is the package manufacture approach of the chip-size package assembled in a package at a wafer process. The process which is the predetermined range containing at least one or more bumps' abbreviation sag in which the electronic device on a wafer was formed in contact with the wiring layer formed in the connection side side connected on a mounting substrate by face down, and forms a low elastic layer by predetermined thickness on said connection side of said wiring layer lower part. It consists in the package manufacture approach characterized by having the process which forms a resin layer by predetermined thickness on said connection side around said low elastic layer, and the process which sets up the elastic modulus of said low elastic layer lower than the elastic modulus of said resin layer. Moreover, the summary of this invention according to claim 7 is the semiconductor device manufacture approach of the chip-size package assembled in a package at a wafer process. The process which forms a wiring layer in the connection side side where the semiconductor device on a wafer is connected on a mounting substrate by face down, The process which forms at least one or more bumps formed in contact with said wiring layer, The process which has a predetermined modulus of elasticity, is on said connection side of said wiring layer lower part, and forms a low elastic layer in the perimeter of predetermined except said bump's abbreviation sag by predetermined thickness. It has a predetermined elastic modulus and consists in the semiconductor device manufacture approach characterized by having the process which forms a resin layer by predetermined thickness on said connection side around said low elastic layer, and the process which sets up the elastic modulus of said low elastic layer lower than the elastic modulus of said resin layer. Moreover, the summary of this invention according to claim 8 is the semiconductor device manufacture approach of the chip-size package assembled in a package at a wafer process. The process which forms a wiring layer in the connection side side where the semiconductor device on a wafer is connected on a mounting substrate by face down, The process which forms at least one or more bumps formed in contact with said wiring layer, The process which forms the low elastic layer formed in the predetermined range which has a predetermined modulus of elasticity, is on said connection side of said wiring layer lower part, and contains said bump's

abbreviation sag by predetermined thickness, It has a predetermined elastic modulus and consists in the semiconductor device manufacture approach characterized by having the process which forms a resin layer by predetermined thickness on said connection side around said low elastic layer, and the process which sets up the elastic modulus of said low elastic layer lower than the elastic modulus of said resin layer.

[0007]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained to a detail based on a drawing.

[0008] (The 1st operation gestalt) Drawing 1 is cross-section structural drawing which cut the semiconductor device 20 of the 1st operation gestalt of this invention in the part of the connection terminal 2. Drawing 2 is cross-section structural drawing showing the condition of having mounted the semiconductor device 20 shown in drawing 1 in the mounting substrate, and is cross-section structural drawing cut in the part of the connection terminal 2 of the semiconductor device 1 of the package sample which performed the mounting reliability trial.

[0009] When drawing 1 is referred to, the semiconductor device 20 of the 1st operation gestalt is the structure which formed the resin layer 3 on the semiconductor device 1, and formed the low elastic layer 4 which is a low elastic modulus rather than the resin layer 3 only in the lower part around [which is further formed in a wiring layer 5] a bump 6. As an ingredient of this resin layer 3 and the low elastic layer 4, thermosetting resin is desirable. An epoxy resin or polyimide is suitable also in thermosetting resin. That is because the thermal resistance demanded on a semiconductor device 1 is high. So, the epoxy resin is used with this operation gestalt.

[0010] Moreover, it is suitable to make it harden, after carrying out thermocompression bonding as an approach of forming the resin layer 3 after sticking film-like resin, or applying resin by a spin coater etc. With this operation gestalt, the approach of carrying out thermocompression bonding of the film-like resin, and forming the resin layer 3 is used.

[0011] Moreover, after carrying out a perforating process to the resin layer 3 by punching processing or photo etching etc. which forms the low elastic layer 4 using laser as an approach, it is suitable to make it fill a gap and harden by printing etc.

[0012] Next, the resin layer 3 is formed on the semiconductor device 1 of this operation gestalt, and the detailed production process flow for acquiring the structure which formed the low elastic layer 4 which is a low elastic modulus rather than the resin layer 3 is explained only to the lower part around [which is further formed in a wiring layer 5] a bump 6. Drawing 3 is the manufacture flow Fig. showing the 1st operation gestalt of the semiconductor manufacture approach of this invention, and is a manufacture flow Fig. by cross-section structural drawing cut in the part of the connection terminal 2 of the semiconductor device 20 shown in drawing 1.

[0013] If drawing 3 is referred to, as first shown in drawing 3 (a), the electronic circuitry is accumulated on the semiconductor device 1, and the connection terminal 2 for transfer of the signal of this electronic circuitry and the chip exterior or an electric power supply is formed around the electronic circuitry. Originally, on one wafer, a semiconductor device 1 bundles many up in all directions, and is manufactured. So, with this operation gestalt, explanation is advanced paying attention to the one semiconductor device 1 top on explanation and one wafer.

[0014] Next, as shown in drawing 3 (b), the resin layer 3 is formed over the near whole surface of the connection terminal 2 on a semiconductor device 1. As a resin layer 3, thermosetting resin, such as an epoxy resin or polyimide, is desirable, for example. The epoxy resin is used with this operation gestalt. Moreover, it is suitable for the resin layer 3 to make it harden, after carrying out thermocompression bonding after sticking film-like resin, or applying resin by a spin coater etc. With this operation gestalt, thermocompression bonding of the film-like resin is carried out, and the resin layer 3 is formed. At this time, the elastic modulus of the resin layer 3 has 1.5 or more about desirable GPa.

[0015] Next, as shown in drawing 3 (c), a perforating process is performed to the resin layer 3 of the

lower part of the perimeter in which the bump 6 is formed by punching processing or photo etching using laser etc. With this operation gestalt, laser performed the perforating process.

[0016] Then, as shown in drawing 3 (d), the low elastic layer 4 of a low elastic modulus is formed in the part which carried out the perforating process rather than the resin layer 3. At this time, the elastic modulus of the low elastic layer 4 has the about desirable range of 0.1 or less GPa. This is because the stress which joins the whole package from the resin layer 3 can be eased, and is because stress can be eased because the bump 6 whom big stress generates still more nearly locally forms the low elastic layer 4 of a low modulus of elasticity in the lower part around a bump 6. With this operation gestalt, Young's modulus of 0.67GPa(s) and the low elastic layer 4 was about set to 0.01GPa(s) for the Young's modulus of the resin layer 3. The low elastic layer 4 as well as the resin layer 3 has an epoxy resin or a desirable epoxy resin. The epoxy resin is used with this operation gestalt. Moreover, it is suitable for the low elastic layer 4 to make it fill a gap and harden by printing etc.

[0017] Drawing 4 is an about four low elastic layer expanded sectional view. If a bump's 6 diameter is set to $2d$, as shown in drawing 4, the low elastic layer 4 is made into the width of face of d from the end face of a wiring layer 5.

[0018] Next, as shown in drawing 3 (e), a perforating process is performed to the resin layer 3 of the upper part of the connection terminal 2 with laser. Then, as shown in drawing 3 (f), a wiring layer 5 is formed with electrolysis plating etc. The wiring layer 5 is made into the width of face of $3d/2$ as shown in drawing 4. Finally, a bump 6 is formed in a wiring layer 5 as shown in drawing 3 (g).

[0019] By performing the above production process, the package (semiconductor device 20) which has the structure which formed the resin layer 3 on the semiconductor device 1, and formed the low elastic layer 4 which is a low modulus of elasticity rather than the resin layer 3 only in the lower part around [which is further formed in a wiring layer 5] a bump 6 is manufactured.

[0020] If the 1st operation gestalt is summarized above, as a result of being able to ease stress to the bump 6 whom the biggest stress in a package (semiconductor device 20) generates according to the structure which formed the low elastic layer 4 in the lower part around a bump 6, in the semiconductor device 20 of the chip-size package (CSP:Chip Size Package) assembled in a package (semiconductor device 20), the mounting dependability of a package (semiconductor device 20) can be improved at a wafer process. Furthermore, since the resin layer 3 and the low elastic layer 4 are beforehand formed in the package (semiconductor device 20) of this operation gestalt, The result which can fully ease the stress generated between a package (semiconductor device 20) and the mounting substrate 10, When assembling in a package after a wafer process, The process which creates the under-filling resin 11 which was being conventionally used for the purpose of destructive prevention of the joint (a bump 6, the mounting substrate 10, or a bump 6 and a semiconductor device 1) between a package (semiconductor device 20) and the mounting substrate 10 for dependability reservation becomes unnecessary.

[0021] (The 2nd operation gestalt) Drawing 5 is cross-section structural drawing which cut the semiconductor device 20 of the 2nd operation gestalt of this invention in the part of the connection terminal 2. When drawing 5 is referred to, the semiconductor device 20 of the 2nd operation gestalt is the structure which formed the resin layer 3 on the semiconductor device 1, and formed the low elastic layer 4 which is a low elastic modulus from the resin layer 3 only about a bump's 6 lower part further formed in a wiring layer 5.

[0022] As an ingredient of the resin layer 3 and the low elastic layer 4, the same epoxy resin or polyimide as the 1st operation gestalt is suitable. Moreover, it is suitable to make it harden, after carrying out thermocompression bonding like [the approach of forming the resin layer 3] the 1st operation gestalt after sticking film-like resin, or applying resin by a spin coater etc. Moreover, after the approach of forming the low elastic layer 4 also carries out a perforating process to the resin layer 3 by punching processing or photo etching using laser etc., it is suitable for it to make it fill a gap and harden by printing etc. [as well as the 1st operation gestalt]

[0023] Drawing 6 is the manufacture flow Fig. showing the 2nd operation gestalt of the semi-conductor manufacture approach of this invention, and is a manufacture flow Fig. by cross-section structural drawing cut in the part of the connection terminal 2 of the semiconductor device 20 shown in drawing 5. If drawing 6 is referred to, as first shown in drawing 6 (a), the electronic circuitry is accumulated on the semiconductor device 1, and the connection terminal 2 for transfer of the signal of this electronic circuitry and the chip exterior or an electric power supply is formed around the electronic circuitry.

[0024] Next, as shown in drawing 6 (b), the resin layer 3 is formed over the near whole surface of the connection terminal 2 of a semiconductor device 1. The epoxy resin is being used for the resin layer 3 like the 1st operation gestalt. Moreover, after the resin layer 3 sticks film-like resin, thermocompression bonding of it is carried out and it is formed. Next, as shown in drawing 6 (c), a perforating process is performed only for the lower part in which a bump 6 is formed to the resin layer 3 with laser 8. Then, as shown in drawing 6 (d), the low elastic layer 4 of a low elastic modulus is formed in the part which carried out the perforating process rather than the resin layer 3. The epoxy resin was used for the low elastic layer 4 like the 1st operation gestalt, and Young's modulus of 0.67GPa(s) and the low elastic layer 4 was about set to 0.01GPa(s) for the Young's modulus of the resin layer 3. Moreover, it is suitable for the low elastic layer 4 to make it fill a gap and harden by printing etc.

[0025] The low elastic layer 4 is made into width of face of $4d$ to a bump's 6 core shown in drawing 4, if a bump's 6 diameter is set to $2d$. Next, as shown in drawing 6 (e), a perforating process is performed to the resin layer 3 of the upper part of the connection terminal 2 with laser 8. Then, as shown in drawing 6 (f), a wiring layer 5 is formed with electrolysis plating etc. The wiring layer 5 is made into the width of face of $3d/2$ as shown in drawing 4. Finally, a bump 6 is formed in a wiring layer 5 as shown in drawing 6 (g).

[0026] If the 2nd operation gestalt is summarized above, as a result of being able to ease stress to the bump 6 whom the biggest stress in a package (semiconductor device 20) generates according to the structure which formed the low elastic layer 4 in the lower part around a bump 6, in the chip-size package (semiconductor device 20) assembled in a package (semiconductor device 20), the mounting dependability of a package (semiconductor device 20) can be improved at a wafer process. Furthermore, since the resin layer 3 and the low elastic layer 4 are beforehand formed in the package (semiconductor device 20) of this operation gestalt, The result which can fully ease the stress generated between a package (semiconductor device 20) and the mounting substrate 10, When assembling in a package after a wafer process, The process which creates the under-filling resin 11 which was being conventionally used for the purpose of destructive prevention of the joint (a bump 6, the mounting substrate 10, or a bump 6 and a semiconductor device 1) between a package (semiconductor device 20) and the mounting substrate 10 for dependability reservation becomes unnecessary.

[0027] (The 3rd operation gestalt) Drawing 7 is the 3rd operation gestalt of the semiconductor device 20 of this invention, and it is cross-section structural drawing showing the package which prepared only the low elastic layer, and drawing 8 is cross-section structural drawing showing the condition of having mounted the semiconductor device 20 shown in drawing 7 in the mounting substrate, and is cross-section structural drawing cut in the part of the connection terminal 2 of the semiconductor device 1 of the package sample which performed the mounting reliability trial.

[0028] The semiconductor device 20 of the 3rd operation gestalt is the chip-size package (semiconductor device 20) which formed only the low elastic layer 4 in the semiconductor device 1. The mounting substrate 10 used the printed wired board manufactured by the build up method of construction. Moreover, thickness of the resin layer 3 and the low elastic layer 4 was about set to 80 micrometers.

[0029] Drawing 9 is the manufacture flow Fig. showing the 3rd operation gestalt of the semi-conductor manufacture approach of this invention, and is a manufacture flow Fig. by cross-section structural drawing cut in the part of the connection terminal 2 of the semiconductor device 20 shown in drawing 1. First, as shown in drawing 9 (a), the electronic circuitry is accumulated on the semiconductor device 1,

and the connection terminal 2 for transfer of the signal of this electronic circuitry and the chip exterior or an electric power supply is formed around the electronic circuitry. Then, as shown in drawing 9 (b), the low elastic layer 4 is beforehand formed all over the connection terminal 2 side on a semiconductor device 1. Next, as shown in drawing 9 (c), after carrying out the lower part of the perimeter in which the bump 6 is formed masking 7, the low elastic layer 4 is stiffened by ultraviolet rays etc., and the elastic layer 3 is formed. Then, as shown in drawing 9 (d), a perforating process is performed to the elastic layer 3 of the upper part of the connection terminal 2 by punching processing or photo etching using laser etc. Next, as shown in drawing 9 (e), a wiring layer 5 is formed with electrolysis plating etc.; and as shown in drawing 9 (f), finally a bump 6 is formed in a wiring layer 5: This production process has few routing counters compared with the 1st operation gestalt. (drawing 3).

[0030] Next, the result of having performed the mounting reliability trial with the package sample of structure which formed the resin layer 3 on the semiconductor device 1 of this operation gestalt, and formed the low elastic layer 4, which is a low modulus of elasticity rather than the resin layer 3 only in the lower part around [which is further formed in a wiring layer 5] a bump 6 is explained.

[0031] The mounting reliability trial was performed using the above package sample. The contents of a trial are heat cycle tests, and were checked to 1000c(ies) (cycle) on the conditions which made 1 cycle -40 degree-Cx30 minutes → 125-degree-Cx 30 minutes. A dependability result (percent defective) is shown in Table 1. The sample ("this invention sample" of front Naka) of the package (semiconductor device 20) of this operation gestalt has not generated the defect (abnormalities in connection) to 1000cy (namely, a percent defective = 0). However, a semiconductor device 1 is not fulfilled with the sample ("sample for a comparison" of front Naka) of a package (semiconductor device 20) which formed only the low elastic layer 4 at 1000cy (80 percent defective = 1000 being cy in cy [Namely, 500 cy Percent defective = 20,700] percent-defective = 100). Therefore, if it is the chip-size package (semiconductor device 20) structure of this operation gestalt, it turns out that mounting dependability improves.

[0032]

[Table 1]

表 1 信頼性試験結果 (不良率)

サンプル種	温度サイクル試験(cy)					
	0	100	300	500	700	1000
本発明サンプル	0	0	0	0	0	0
比較用サンプル	0	0	0	20	80	100

※信頼性結果は不良率で示してある。

[0033] If the 3rd operation gestalt is summarized above, as a result of being able to ease stress to the bump 6 whom the biggest stress in a package (semiconductor device 20) generates according to the structure which formed the low elastic layer 4 in the lower part around a bump 6, in the chip-size package (semiconductor device 20) assembled in a package (semiconductor device 20), the mounting dependability of a package (semiconductor device 20) can be improved at a wafer process. Furthermore, since the resin layer 3 and the low elastic layer 4 are beforehand formed in the package (semiconductor device 20) of this operation gestalt, The result which can fully ease the stress generated between a package (semiconductor device 20) and the mounting substrate 10, When assembling in a package after a wafer process, The process which creates the under-filling resin 11 which was being conventionally used for the purpose of destructive prevention of the joint (a bump 6, the mounting substrate 10, or a bump 6 and a semiconductor device 1) between a package (semiconductor device 20) and the mounting substrate 10 for dependability reservation becomes unnecessary.

[0034] (The 4th operation gestalt) Drawing 10 is the manufacture flow Fig. showing the 4th operation gestalt of the semi-conductor manufacture approach of this invention, and is a manufacture flow Fig. by cross-section structural drawing cut in the part of the connection terminal 2 of the semiconductor

device 20 shown in drawing 5 . For example, as shown in drawing 10 (b), the low elastic layer 4 is beforehand formed all over the connection terminal 2 side on a semiconductor device 1. Next, as shown in drawing 10 (c), after carrying out only the lower part in which a bump 6 is formed masking 7, the low elastic layer 4 is stiffened by ultraviolet rays 9 etc., and the elastic layer 3 is formed. Then, as shown in drawing 10 (d), a perforating process is performed to the elastic layer 3 by the upper part of connection terminal 2 punching-processing using laser 8, or photo etching. Next, as shown in drawing 10 (e), a wiring layer 5 is formed with electrolysis plating etc. Finally, a bump 6 is formed in a wiring layer 5 as shown in drawing 10 (f). This production process has the merit that there are few routing counters compared with the semi-conductor manufacture approach (drawing 6) of the 2nd operation gestalt.

[0035] If the 4th operation gestalt is summarized above, as a result of being able to ease stress to the bump 6 whom the biggest stress in a package (semiconductor device 20) generates according to the structure which formed the low elastic layer 4 in the lower part around a bump 6, in the chip-size package (semiconductor device 20) assembled in a package (semiconductor device 20), the mounting dependability of a package (semiconductor device 20) can be improved at a wafer process. Furthermore, since the resin layer 3 and the low elastic layer 4 are beforehand formed in the package (semiconductor device 20) of this operation gestalt, The result which can fully ease the stress generated between a package (semiconductor device 20) and the mounting substrate 10, When assembling in a package after a wafer process, The process which creates the under-filling resin 11 which was being conventionally used for the purpose of destructive prevention of the joint (a bump 6, the mounting substrate 10, or a bump 6 and a semiconductor device 1) between a package (semiconductor device 20) and the mounting substrate 10 for dependability reservation becomes unnecessary.

[0036] In addition, in the gestalt of this operation, this invention is not limited to the semiconductor device of a chip-size package, but when applying this invention, it is applicable to the electrode connection technique using a suitable bump. Moreover, the number of the above-mentioned configuration members, a location, a configuration, etc. are not limited to the gestalt of the above-mentioned implementation, but when carrying out this invention, they can be made into a suitable number, a location, a configuration, etc. Moreover, in each drawing, the same sign is given to the same component.

[0037]

[Effect of the Invention] Since this invention is constituted as mentioned above, the effectiveness hung up over below is done so.

[0038] As a result of being able to ease stress to the bump whom the biggest stress in a package generates according to the structure which prepared the low elastic layer in the lower part around a bump, in the chip-size package (semiconductor device) assembled in a package, the mounting dependability of a package can be improved [1st] at a wafer process.

[0039] Since the resin layer and a low elastic layer are beforehand formed in the package of this operation gestalt the 2nd, as a result of fully being able to ease the stress which generates between a package and a mounting substrate, in case it assembles in a package after a wafer process, the process which creates the under-filling resin which was using conventionally for the purpose of destructive prevention of the joint between a package and a mounting substrate (a bump, a mounting substrate, or a bump and a semiconductor device) for dependability reservation becomes unnecessary.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is cross-section structural drawing showing the 1st operation gestalt of the semiconductor device of this invention.

[Drawing 2] It is cross-section structural drawing showing the condition of having mounted the semiconductor device shown in drawing 1 in the mounting substrate.

[Drawing 3] It is the manufacture flow Fig. showing the 1st operation gestalt of the semi-conductor manufacture approach of this invention, and is a manufacture flow Fig. by cross-section structural drawing cut by the connection terminal area of the semiconductor device shown in drawing 1 .

[Drawing 4] It is an expanded sectional view near the low elastic layer.

[Drawing 5] It is cross-section structural drawing which cut the semiconductor device of the 2nd operation gestalt of this invention in the part of a connection terminal.

[Drawing 6] It is the manufacture flow Fig. showing the 2nd operation gestalt of the semi-conductor manufacture approach of this invention, and is a manufacture flow Fig. by cross-section structural drawing cut by the connection terminal area of the semiconductor device shown in drawing 5 .

[Drawing 7] It is the 3rd operation gestalt of the semiconductor device of this invention, and is cross-section structural drawing showing the package which prepared only the low elastic layer.

[Drawing 8] It is cross-section structural drawing showing the condition of having mounted the semiconductor device shown in drawing 7 in the mounting substrate.

[Drawing 9] It is the manufacture flow Fig. showing the 3rd operation gestalt of the semi-conductor manufacture approach of this invention, and is a manufacture flow Fig. by cross-section structural drawing cut by the connection terminal area of the semiconductor device shown in drawing 1 .

[Drawing 10] It is the manufacture flow Fig. showing the 4th operation gestalt of the semi-conductor manufacture approach of this invention, and is a manufacture flow Fig. by cross-section structural drawing cut by the connection terminal area of the semiconductor device shown in drawing 5 .

[Drawing 11] It is cross-section structural drawing which mounted the conventional chip-size package in the mounting substrate.

[Description of Notations]

1 — Semiconductor device

2 — Connection terminal

3 — Resin layer

4 — Low elastic layer

5 — Wiring layer

6 — Bump

7 — Masking

10 — Mounting substrate

11 — Under-filling resin

20 — Semiconductor device

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-150716

(P2000-150716A)

(43) 公開日 平成12年5月30日 (2000.5.30)

(51) Int.Cl.

識別記号

F I

テラート (参考)

H 0 1 L 23/12
21/60

H 0 1 L 23/12
21/92

L
6 0 2 L

審査請求 有 請求項の数 8 F D (全 9 頁)

(21) 出願番号 特願平10-341182
(22) 出願日 平成10年11月16日 (1998.11.16)

(71) 出願人 000004237
日本電気株式会社
東京都港区芝五丁目7番1号
(72) 発明者 鈴木 崇敏
東京都港区芝五丁目7番1号 日本電気株
式会社内
(72) 発明者 船田 佳嗣
東京都港区芝五丁目7番1号 日本電気株
式会社内
(74) 代理人 100097113
弁理士 堀 城之

(54) 【発明の名称】 パッケージ構造並びに半導体装置、パッケージ製造方法及び半導体装置製造方法

(57) 【要約】

【課題】 本発明は、バンプに発生する応力を緩和してパッケージの実装信頼性を向上できるパッケージ構造並びに半導体装置、パッケージ製造方法及び半導体装置製造方法を提供することを課題とする。

【解決手段】 半導体素子1へ樹脂層3を設け、更にバンプ6の周囲の下部あるいはバンプ6下部のみに、樹脂層3よりも低弾性率である低弾性層4を設けたパッケージ構造を有する。

20



(2)

【特許請求の範囲】

【請求項1】 ウエハー工程でパッケージに組み立てるチップサイズパッケージのパッケージ構造であって、ウエハー上の電子素子がフェースダウンにて実装基板上に接続される接続面側に形成される配線層に接して形成された少なくとも1つ以上のバンプの略垂下を除く所定周囲であって前記配線層下部の前記接続面上に所定の膜厚で形成された低弾性層と、前記低弾性層の周囲の前記接続面上に所定の膜厚で形成された樹脂層とを備え、前記低弾性層の弾性率を前記樹脂層の弾性率よりも低く設定していることを特徴とするパッケージ構造。

【請求項2】 ウエハー工程でパッケージに組み立てるチップサイズパッケージのパッケージ構造であって、ウエハー上の電子素子がフェースダウンにて実装基板上に接続される接続面側に形成される配線層に接して形成された少なくとも1つ以上のバンプの略垂下を含む所定範囲であって前記配線層下部の前記接続面上に所定の膜厚で形成された低弾性層と、前記低弾性層の周囲の前記接続面上に所定の膜厚で形成された樹脂層とを備え、前記低弾性層の弾性率を前記樹脂層の弾性率よりも低く設定していることを特徴とするパッケージ構造。

【請求項3】 ウエハー工程でパッケージに組み立てるチップサイズパッケージの半導体装置であって、ウエハー上の半導体素子がフェースダウンにて実装基板上に接続される接続面側に形成される配線層と、前記配線層に接して形成された少なくとも1つ以上のバンプと、所定の弾性率を有し、前記配線層下部の前記接続面上であって前記バンプの略垂下を除く所定周囲に所定の膜厚で形成された低弾性層と、所定の弾性率を有し、前記低弾性層の周囲の前記接続面上に所定の膜厚で形成された樹脂層とを備え、前記低弾性層の弾性率を前記樹脂層の弾性率よりも低く設定していることを特徴とする半導体装置。

【請求項4】 ウエハー工程でパッケージに組み立てるチップサイズパッケージの半導体装置であって、ウエハー上の半導体素子がフェースダウンにて実装基板上に接続される接続面側に形成される配線層と、前記配線層に接して形成された少なくとも1つ以上のバンプと、所定の弾性率を有し、前記配線層下部の前記接続面上であって前記バンプの略垂下を含む所定範囲に所定の膜厚で形成された低弾性層と、所定の弾性率を有し、前記低弾性層の周囲の前記接続面上に所定の膜厚で形成された樹脂層とを備え、前記低弾性層の弾性率を前記樹脂層の弾性率よりも低く設定していることを特徴とする半導体装置。

【請求項5】 ウエハー工程でパッケージに組み立てる

チップサイズパッケージのパッケージ製造方法であって、

ウエハー上の電子素子がフェースダウンにて実装基板上に接続される接続面側に形成される配線層に接して形成された少なくとも1つ以上のバンプの略垂下を除く所定周囲であって前記配線層下部の前記接続面上に所定の膜厚で低弾性層を形成する工程と、

前記低弾性層の周囲の前記接続面上に所定の膜厚で樹脂層を形成する工程と、

10 前記低弾性層の弾性率を前記樹脂層の弾性率よりも低く設定する工程とを備えていることを特徴とするパッケージ製造方法。

【請求項6】 ウエハー工程でパッケージに組み立てるチップサイズパッケージのパッケージ製造方法であって、

ウエハー上の電子素子がフェースダウンにて実装基板上に接続される接続面側に形成される配線層に接して形成された少なくとも1つ以上のバンプの略垂下を含む所定範囲であって前記配線層下部の前記接続面上に所定の膜厚で低弾性層を形成する工程と、

20 前記低弾性層の周囲の前記接続面上に所定の膜厚で樹脂層を形成する工程と、

前記低弾性層の弾性率を前記樹脂層の弾性率よりも低く設定する工程とを備えていることを特徴とするパッケージ製造方法。

【請求項7】 ウエハー工程でパッケージに組み立てるチップサイズパッケージの半導体装置製造方法であって、

ウエハー上の半導体素子がフェースダウンにて実装基板上に接続される接続面側に配線層を形成する工程と、前記配線層に接して形成された少なくとも1つ以上のバンプを形成する工程と、

30 所定の弾性率を有し、前記配線層下部の前記接続面上であって前記バンプの略垂下を除く所定周囲に所定の膜厚で低弾性層を形成する工程と、

所定の弾性率を有し、前記低弾性層の周囲の前記接続面上に所定の膜厚で樹脂層を形成する工程と、

40 前記低弾性層の弾性率を前記樹脂層の弾性率よりも低く設定する工程とを備えたことを特徴とする半導体装置製造方法。

【請求項8】 ウエハー工程でパッケージに組み立てるチップサイズパッケージの半導体装置製造方法であって、

ウエハー上の半導体素子がフェースダウンにて実装基板上に接続される接続面側に配線層を形成する工程と、前記配線層に接して形成された少なくとも1つ以上のバンプを形成する工程と、

50 所定の弾性率を有し、前記配線層下部の前記接続面上であって前記バンプの略垂下を含む所定範囲に所定の膜厚で形成された低弾性層を形成する工程と、

(3)

3

所定の弾性率を有し、前記低弾性層の周囲の前記接続面上に所定の膜厚で樹脂層を形成する工程と、前記低弾性層の弾性率を前記樹脂層の弾性率よりも低く設定する工程とを備えたことを特徴とする半導体装置製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体の実装技術に関し、特に、ウエハー工程でパッケージに組み立てるチップサイズパッケージ (CSP: Chip Size Package) に適したパッケージ構造並びに半導体装置、パッケージ製造方法及び半導体装置製造方法に関する。

【0002】

【従来の技術】図1.1は、従来のチップサイズパッケージの半導体装置を実装基板1.0に実装した断面構造図である。ウエハー工程後にパッケージに組み立てる従来の半導体装置2.0では、図1.1に示すように半導体素子1と実装基板1.0との間にアンダーフィルレジジン1.1を充填していた。これは、半導体素子1と実装基板1.0の熱膨張差によって発生する応力と実装時に加わる熱の開放によって発生する応力によって、接合部（具体的には、バンプ6と実装基板1.0あるいはバンプ6と半導体素子1）の破壊防止のためである。

【0003】このような従来のチップサイズパッケージの実装技術としては、例えば、特開昭57-121255号公報に記載されたものがある。すなわち、回路電極を除く電気回路素子本体上を保護膜で覆い、さらにその上にスペーサ膜を形成し、このスペーサ膜上に膜配線を形成し、膜配線の一端を回路電極に接続し、他端に金属バンプ電極を形成している。

【0004】

【発明が解決しようとする課題】しかしながら、従来技術には、アンダーフィルレジジン1.1を充填する工程が増えるため効率が悪く、レジジンの保管方法や使用期間にも制約があり作業性が悪いという問題点があった。また、バンプ6のピッチやバンプ6のサイズが小さくなると、バンプ6に発生する応力によりクラックが発生して信頼性が低下してしまう問題もあった。

【0005】本発明は斯かる問題点を鑑みてなされたものであり、その目的とするところは、バンプに発生する応力を緩和してパッケージの実装信頼性を向上できるパッケージ構造並びに半導体装置、パッケージ製造方法及び半導体装置製造方法を提供する点にある。

【0006】

【課題を解決するための手段】本発明の請求項1に記載の要旨は、ウエハー工程でパッケージに組み立てるチップサイズパッケージのパッケージ構造であって、ウエハー上の電子素子がフェースダウンにて実装基板上に接続される接続面側に形成される配線層に接して形成された

4

少なくとも1つ以上のバンプの略垂下を除く所定周囲であって前記配線層下部の前記接続面上に所定の膜厚で形成された低弾性層と、前記低弾性層の周囲の前記接続面上に所定の膜厚で形成された樹脂層とを備え、前記低弾性層の弾性率を前記樹脂層の弾性率よりも低く設定していることを特徴とするパッケージ構造に存する。また本発明の請求項2に記載の要旨は、ウエハー工程でパッケージに組み立てるチップサイズパッケージのパッケージ構造であって、ウエハー上の電子素子がフェースダウンにて実装基板上に接続される接続面側に形成される配線層に接して形成された少なくとも1つ以上のバンプの略垂下を含む所定範囲であって前記配線層下部の前記接続面上に所定の膜厚で形成された低弾性層と、前記低弾性層の周囲の前記接続面上に所定の膜厚で形成された樹脂層とを備え、前記低弾性層の弾性率を前記樹脂層の弾性率よりも低く設定していることを特徴とするパッケージ構造に存する。また本発明の請求項3に記載の要旨は、ウエハー工程でパッケージに組み立てるチップサイズパッケージの半導体装置であって、ウエハー上の半導体素子がフェースダウンにて実装基板上に接続される接続面側に形成される配線層と、前記配線層に接して形成された少なくとも1つ以上のバンプと、所定の弾性率を有し、前記配線層下部の前記接続面上であって前記バンプの略垂下を除く所定周囲に所定の膜厚で形成された低弾性層と、所定の弾性率を有し、前記低弾性層の周囲の前記接続面上に所定の膜厚で形成された樹脂層とを備え、前記低弾性層の弾性率を前記樹脂層の弾性率よりも低く設定していることを特徴とする半導体装置に存する。また本発明の請求項4に記載の要旨は、ウエハー工程でパッケージに組み立てるチップサイズパッケージの半導体装置であって、ウエハー上の半導体素子がフェースダウンにて実装基板上に接続される接続面側に形成される配線層と、前記配線層に接して形成された少なくとも1つ以上のバンプと、所定の弾性率を有し、前記配線層下部の前記接続面上であって前記バンプの略垂下を含む所定範囲に所定の膜厚で形成された低弾性層と、所定の弾性率を有し、前記低弾性層の周囲の前記接続面上に所定の膜厚で形成された樹脂層とを備え、前記低弾性層の弾性率を前記樹脂層の弾性率よりも低く設定していることを特徴とする半導体装置に存する。また本発明の請求項5に記載の要旨は、ウエハー工程でパッケージに組み立てるチップサイズパッケージのパッケージ製造方法であって、ウエハー上の電子素子がフェースダウンにて実装基板上に接続される接続面側に形成される配線層に接して形成された少なくとも1つ以上のバンプの略垂下を除く所定周囲であって前記配線層下部の前記接続面上に所定の膜厚で低弾性層を形成する工程と、前記低弾性層の周囲の前記接続面上に所定の膜厚で樹脂層を形成する工程と、前記低弾性層の弾性率を前記樹脂層の弾性率よりも低く設定する工程とを備えていることを特徴とするパッ

(4)

5

ケージ製造方法に存する。また本発明の請求項6に記載の要旨は、ウエハー工程でパッケージに組み立てるチップサイズパッケージのパッケージ製造方法であって、ウエハー上の電子素子がフェースダウンにて実装基板上に接続される接続面側に形成される配線層に接して形成された少なくとも1つ以上のパンプの略垂下を含む所定範囲であって前記配線層下部の前記接続面上に所定の膜厚で低弾性層を形成する工程と、前記低弾性層の周囲の前記接続面上に所定の膜厚で樹脂層を形成する工程と、前記低弾性層の弾性率を前記樹脂層の弾性率よりも低く設定する工程とを備えていることを特徴とするパッケージ製造方法に存する。また本発明の請求項7に記載の要旨は、ウエハー工程でパッケージに組み立てるチップサイズパッケージの半導体装置製造方法であって、ウエハー上の半導体素子がフェースダウンにて実装基板上に接続される接続面側に配線層を形成する工程と、前記配線層に接して形成された少なくとも1つ以上のパンプを形成する工程と、所定の弾性率を有し、前記配線層下部の前記接続面上であって前記パンプの略垂下を除く所定範囲に所定の膜厚で低弾性層を形成する工程と、所定の弾性率を有し、前記低弾性層の周囲の前記接続面上に所定の膜厚で樹脂層を形成する工程と、前記低弾性層の弾性率を前記樹脂層の弾性率よりも低く設定する工程とを備えたことを特徴とする半導体装置製造方法に存する。また本発明の請求項8に記載の要旨は、ウエハー工程でパッケージに組み立てるチップサイズパッケージの半導体装置製造方法であって、ウエハー上の半導体素子がフェースダウンにて実装基板上に接続される接続面側に配線層を形成する工程と、前記配線層に接して形成された少なくとも1つ以上のパンプを形成する工程と、所定の弾性率を有し、前記配線層下部の前記接続面上であって前記パンプの略垂下を含む所定範囲に所定の膜厚で形成された低弾性層を形成する工程と、所定の弾性率を有し、前記低弾性層の周囲の前記接続面上に所定の膜厚で樹脂層を形成する工程と、前記低弾性層の弾性率を前記樹脂層の弾性率よりも低く設定する工程とを備えたことを特徴とする半導体装置製造方法に存する。

【0007】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0008】(第1実施形態)図1は、本発明の第1実施形態の半導体装置20を接続端子2の部分で切断した断面構造図である。図2は、図1に示す半導体装置20を実装基板に実装した状態を示す断面構造図であり、実装信頼性試験を行ったパッケージサンプルの半導体素子1の接続端子2の部分で切断した断面構造図である。

【0009】図1を参照すると、第1実施形態の半導体装置20は、半導体素子1上に樹脂層3を設け、更に配線層5に形成するパンプ6の周囲の下部のみに、樹脂層3よりも低弾性率である低弾性層4を設けた構造であ

6

る。この樹脂層3及び低弾性層4の材料としては、熱硬化性樹脂が好ましい。熱硬化性樹脂の中でもエポキシ樹脂あるいはポリイミドが好適である。それは、半導体素子1上に要求される耐熱性が高いからである。そこで、本実施形態ではエポキシ樹脂を使用している。

【0010】また、樹脂層3を形成する方法としては、フィルム状樹脂を貼り付けた後に熱圧着するか、スピナー等によって樹脂を塗布した後に硬化させることが好適である。本実施形態ではフィルム状樹脂を熱圧着して樹脂層3を形成する方法を用いている。

【0011】また、低弾性層4を形成する方法としては、レーザーを用いた穿孔処理あるいはフォトリソグラフィなどにより樹脂層3に穴開け加工をした後、印刷等によって穴埋めして硬化させるのが好適である。

【0012】次に、本実施形態の半導体素子1上に樹脂層3を設け、更に配線層5に形成するパンプ6の周囲の下部のみに、樹脂層3よりも低弾性率である低弾性層4を設けた構造を得るための詳細な製造工程フローについて説明する。図3は、本発明の半導体製造方法の第1実施形態を示す製造フロー図であって、図1に示す半導体装置20の接続端子2の部分で切断した断面構造図による製造フロー図である。

【0013】図3を参照すると、まず図3(a)に示すように、半導体素子1上には電子回路が集積されており、この電子回路とチップ外部との信号の授受や電力供給のための接続端子2が電子回路の周辺に形成されている。本来は、1枚のウエハー上には半導体素子1が縦横に幾つも一括して製造されている。そこで、本実施形態では説明上、1枚のウエハー上の1つの半導体素子1上に注目して説明を進める。

【0014】次に、図3(b)に示すように、半導体素子1上の接続端子2の側の全面にわたり樹脂層3を形成する。樹脂層3としては、例えば、エポキシ樹脂あるいはポリイミド等の熱硬化性樹脂が好ましい。本実施形態ではエポキシ樹脂を使用している。また、樹脂層3は、フィルム状樹脂を貼り付けた後に熱圧着するか、スピナー等によって樹脂を塗布した後に硬化させるのが好適である。本実施形態ではフィルム状樹脂を熱圧着して樹脂層3を形成している。このとき、樹脂層3の弾性率は、おおよそ1.5 GPa以上が好ましい。

【0015】次に、図3(c)に示すように、レーザーを用いた穿孔処理あるいはフォトリソグラフィなどにより、パンプ6が形成されている周囲の下部の樹脂層3に穴開け加工を施す。本実施形態ではレーザーにより穴開け加工を行った。

【0016】続いて、図3(d)に示すように、穴開け加工した箇所へ、樹脂層3よりも低弾性率の低弾性層4を形成する。このとき、低弾性層4の弾性率はおおよそ0.1 GPa以下の範囲が好ましい。これは、樹脂層3からパッケージ全体に加わる応力を緩和できるからであ

(5)

7

り、更に、局部的に大きな応力が発生するバンプ6は低弾性率の低弾性層4をバンプ6の周囲の下部に設けることで応力を緩和できるからである。本実施形態では、樹脂層3のヤング率をおおよそ0.67GPa、低弾性層4のヤング率をおおよそ0.01GPaとした。低弾性層4も樹脂層3と同じくエポキシ樹脂あるいはエポキシ樹脂が好ましい。本実施形態ではエポキシ樹脂を使用している。また、低弾性層4は印刷等によって穴埋めして硬化させるのが好適である。

【0017】図4は、低弾性層4近傍の拡大断面図である。バンプ6の直径を2dとすると、図4に示すように、低弾性層4は、配線層5の端面からdの幅としている。

【0018】次に、図3(e)に示すように、接続端子2の上部の樹脂層3にレーザーにより穴開け加工を施す。続いて図3(f)に示すように、電解メッキ法等により配線層5を形成する。配線層5は図4に示すように3d/2の幅としている。最後に、図3(g)に示すように、配線層5にバンプ6を形成する。

【0019】以上の製造工程を実行することにより、半導体素子1上に樹脂層3を設け、更に配線層5に形成するバンプ6の周囲の下部のみに、樹脂層3よりも低弾性率である低弾性層4を設けた構造を有するパッケージ（半導体装置20）が製造される。

【0020】以上第1実施形態を要約すれば、パッケージ（半導体装置20）の中で最も大きな応力が発生するバンプ6に対して、バンプ6の周囲の下部に低弾性層4を設けた構造により応力を緩和できる結果、ウエハー工程でパッケージ（半導体装置20）に組み立てるチップサイズパッケージ（CSP: Chip Size Package）の半導体装置20において、パッケージ（半導体装置20）の実装信頼性が向上できる。更に、本実施形態のパッケージ（半導体装置20）にはあらかじめ樹脂層3及び低弾性層4が形成されているため、パッケージ（半導体装置20）と実装基板10との間に発生する応力を十分に緩和できる結果、ウエハー工程後にパッケージに組み立てる際、信頼性確保のためにパッケージ（半導体装置20）と実装基板10との間の接合部（バンプ6と実装基板10あるいはバンプ6と半導体素子1）の破壊防止を目的に従来使用していたアンダーフィルレジン11を作成する工程が不要になる。

【0021】（第2実施形態）図5は、本発明の第2実施形態の半導体装置20を接続端子2の部分で切断した断面構造図である。図5を参照すると、第2実施形態の半導体装置20は、半導体素子1上に樹脂層3を設け、更に配線層5に形成するバンプ6の下部のみを、樹脂層3よりも低弾性率である低弾性層4を設けた構造である。

【0022】樹脂層3及び低弾性層4の材料としては、第1実施形態と同様のエポキシ樹脂あるいはポリイミド

8

が好適である。また、樹脂層3を形成する方法も第1実施形態と同様に、フィルム状樹脂を貼り付けた後に熱圧着するか、スピコート等によって樹脂を塗布した後硬化させるのが好適である。また、低弾性層4を形成する方法も、第1実施形態と同様に、レーザーを用いた穿孔処理あるいはフォトリソグラフィ等により樹脂層3に穴開け加工をした後、印刷等によって穴埋めして硬化させるのが好適である。

【0023】図6は、本発明の半導体製造方法の第2実施形態を示す製造フロー図であって、図5に示す半導体装置20の接続端子2の部分で切断した断面構造図による製造フロー図である。図6を参照すると、まず図6(a)に示すように、半導体素子1上には電子回路が集積されており、この電子回路とチップ外部との信号の授受や電力供給のための接続端子2が電子回路の周辺に形成されている。

【0024】次に図6(b)に示すように、半導体素子1の接続端子2の側の全面にわたり樹脂層3を形成する。樹脂層3は、第1実施形態と同様にエポキシ樹脂を使用している。また、樹脂層3はフィルム状樹脂を貼り付けた後に熱圧着して形成している。次に図6(c)に示すように、バンプ6が形成される下部のみを、レーザー8により樹脂層3に穴開け加工を施す。続いて図6(d)に示すように、穴開け加工した箇所へ樹脂層3よりも低弾性率の低弾性層4を形成する。第1実施形態と同様に低弾性層4にエポキシ樹脂を使用しており、樹脂層3のヤング率をおおよそ0.67GPa、低弾性層4のヤング率をおおよそ0.01GPaとした。また、低弾性層4は印刷等によって穴埋めして硬化させるのが好適である。

【0025】低弾性層4はバンプ6の直径を2dとすると、図4に示すバンプ6の中心に対して4dの幅としている。次に図6(e)に示すように、レーザー8により接続端子2の上部の樹脂層3に穴開け加工を施す。続いて図6(f)に示すように、電解メッキ法等により配線層5を形成する。配線層5は、図4に示すように、3d/2の幅としている。最後に、図6(g)に示すように、配線層5にバンプ6を形成する。

【0026】以上第2実施形態を要約すれば、パッケージ（半導体装置20）の中で最も大きな応力が発生するバンプ6に対して、バンプ6の周囲の下部に低弾性層4を設けた構造により応力を緩和できる結果、ウエハー工程でパッケージ（半導体装置20）に組み立てるチップサイズパッケージ（半導体装置20）において、パッケージ（半導体装置20）の実装信頼性が向上できる。更に、本実施形態のパッケージ（半導体装置20）にはあらかじめ樹脂層3及び低弾性層4が形成されているため、パッケージ（半導体装置20）と実装基板10との間に発生する応力を十分に緩和できる結果、ウエハー工程後にパッケージに組み立てる際、信頼性確保のために

(6)

9

パッケージ（半導体装置20）と実装基板10との間の接合部（バンプ6と実装基板10あるいはバンプ6と半導体素子1）の破壊防止を目的に従来使用していたアンダーフィルレジジン11を作成する工程が不要になる。

【0027】（第3実施形態）図7は、本発明の半導体装置20の第3実施形態であって、低弾性層のみを設けたパッケージを示す断面構造図であり、図8は、図7に示す半導体装置20を実装基板に実装した状態を示す断面構造図であり、実装信頼性試験を行ったパッケージサンプルの半導体素子1の接続端子2の部分で切断した断面構造図である。

【0028】第3実施形態の半導体装置20は、半導体素子1へ低弾性層4のみを設けたチップサイズパッケージ（半導体装置20）である。実装基板10はビルドアップ工法により製造されたプリント配線板を用いた。また、樹脂層3及び低弾性層4の厚みを、おおよそ80 μ mとした。

【0029】図9は、本発明の半導体製造方法の第3実施形態を示す製造フロー図であって、図1に示す半導体装置20の接続端子2の部分で切断した断面構造図による製造フロー図である。まず、図9（a）に示すように、半導体素子1上には電子回路が集積されており、この電子回路とチップ外部との信号の授受や電力供給のための接続端子2が電子回路の周辺に形成されている。続いて、図9（b）に示すように、半導体素子1上の接続端子2の側の全面に低弾性層4をあらかじめ形成する。次に、図9（c）に示すように、バンプ6が形成されている周囲の下部をマスキング7した後、紫外線などにより低弾性層4を硬化させ、弾性層3を形成する。続いて、

10

*て、図9（d）に示すように、レーザーを用いた穿孔処理あるいはフォトリソグラフィなどにより、接続端子2の上部の弾性層3に穴開け加工を施す。次に図9（e）に示すように、電解メッキ法等により配線層5を形成し、最後に図9（f）に示すように配線層5にバンプ6を形成する。この製造工程は、第1実施形態（図3）に比べ工程数が少ない。

【0030】次に、本実施形態の半導体素子1上に樹脂層3を設け、更に配線層5に形成するバンプ6の周囲の下部のみに、樹脂層3よりも低弾性率である低弾性層4を設けた構造のパッケージサンプルにて、実装信頼性試験を行った結果について説明する。

【0031】以上のパッケージサンプルを用いて、実装信頼性試験を行った。試験内容は、温度サイクル試験で、-40℃×30分→125℃×30分を1サイクルとした条件にて1000cy（サイクル）まで確認した。信頼性結果（不良率）を表1に示す。本実施形態のパッケージ（半導体装置20）のサンプル（表中の「本発明サンプル」）は、1000cyまで不良（接続異常）は発生していない（すなわち、不良率=0）。しかし、半導体素子1へ低弾性層4のみを設けたパッケージ（半導体装置20）のサンプル（表中の「比較用サンプル」）では、1000cyには満たない（すなわち、500cyで不良率=20、700cyで不良率=80、1000cyで不良率=100）。したがって、本実施形態のチップサイズパッケージ（半導体装置20）構造であれば実装信頼性が向上することが分かる。

【0032】

【表1】

表1 信頼性試験結果（不良率）

サンプル種	温度サイクル試験(cy)					
	0	100	300	500	700	1000
本発明サンプル	0	0	0	0	0	0
比較用サンプル	0	0	0	20	80	100

※信頼性結果は不良率で示してある。

【0033】以上第3実施形態を要約すれば、パッケージ（半導体装置20）の中で最も大きな応力が発生するバンプ6に対して、バンプ6の周囲の下部に低弾性層4を設けた構造により応力を緩和できる結果、ウェハー工程でパッケージ（半導体装置20）に組み立てるチップサイズパッケージ（半導体装置20）において、パッケージ（半導体装置20）の実装信頼性が向上できる。更に、本実施形態のパッケージ（半導体装置20）にはあらかじめ樹脂層3及び低弾性層4が形成されているため、パッケージ（半導体装置20）と実装基板10との間に発生する応力を十分に緩和できる結果、ウェハー工程後にパッケージに組み立てる際、信頼性確保のためにパッケージ（半導体装置20）と実装基板10との間の接合部（バンプ6と実装基板10あるいはバンプ6と半

導体素子1）の破壊防止を目的に従来使用していたアンダーフィルレジジン11を作成する工程が不要になる。

【0034】（第4実施形態）図10は、本発明の半導体製造方法の第4実施形態を示す製造フロー図であって、図5に示す半導体装置20の接続端子2の部分で切断した断面構造図による製造フロー図である。例えば図10（b）に示すように、低弾性層4を半導体素子1上に接続端子2の側の全面にあらかじめ形成する。次に、図10（c）に示すように、バンプ6が形成される下部のみをマスキング7した後、紫外線などにより低弾性層4を硬化させ、弾性層3を形成する。続いて、図10（d）に示すように、接続端子2の上部をレーザー8を用いた穿孔処理あるいはフォトリソグラフィなどにより弾性層3に穴開け加工を施す。次に、図10（e）に示す

(7)

11

ように、電解メッキ法等により配線層5を形成する。最後に、図10(f)に示すように配線層5にバンプ6を形成する。この製造工程は、第2実施形態の半導体製造方法(図6)に比べ工程数が少ないといったメリットがある。

【0035】以上第4実施形態を要約すれば、パッケージ(半導体装置20)の中で最も大きな応力が発生するバンプ6に対して、バンプ6の周囲の下部に低弾性層4を設けた構造により応力を緩和できる結果、ウエハー工程でパッケージ(半導体装置20)に組み立てるチップサイズパッケージ(半導体装置20)において、パッケージ(半導体装置20)の実装信頼性が向上できる。更に、本実施形態のパッケージ(半導体装置20)にはあらかじめ樹脂層3及び低弾性層4が形成されているため、パッケージ(半導体装置20)と実装基板10との間に発生する応力を十分に緩和できる結果、ウエハー工程後にパッケージに組み立てる際、信頼性確保のためにパッケージ(半導体装置20)と実装基板10との間の接合部(バンプ6と実装基板10あるいはバンプ6と半導体素子1)の破壊防止を目的に従来使用していたアンダーフィルレジン11を作成する工程が不要になる。

【0036】なお、本実施の形態においては、本発明は、チップサイズパッケージの半導体装置に限定されず、本発明を適用する上で好適なバンプを用いた電極接続技術に適用することができる。また、上記構成部材の数、位置、形状等は上記実施の形態に限定されず、本発明を実施する上で好適な数、位置、形状等にすることができる。また、各図において、同一構成要素には同一符号を付している。

【0037】

【発明の効果】本発明は以上のように構成されているので、以下に掲げる効果を奏する。

【0038】第1に、パッケージの中で最も大きな応力が発生するバンプに対して、バンプの周囲の下部に低弾性層を設けた構造により応力を緩和できる結果、ウエハー工程でパッケージに組み立てるチップサイズパッケージ(半導体装置)において、パッケージの実装信頼性が向上できる。

【0039】第2に本実施形態のパッケージにはあらかじめ樹脂層及び低弾性層が形成されているため、パッケージと実装基板との間に発生する応力を十分に緩和できる結果、ウエハー工程後にパッケージに組み立てる際、信頼性確保のためにパッケージと実装基板との間の接合

12

部(バンプと実装基板あるいはバンプと半導体素子)の破壊防止を目的に従来使用していたアンダーフィルレジンを作成する工程が不要になる。

【図面の簡単な説明】

【図1】本発明の半導体装置の第1実施形態を示す断面構造図である。

【図2】図1に示す半導体装置を実装基板に実装した状態を示す断面構造図である。

【図3】本発明の半導体製造方法の第1実施形態を示す製造フロー図であって、図1に示す半導体装置の接続端子部で切断した断面構造図による製造フロー図である。

【図4】低弾性層近傍の拡大断面図である。

【図5】本発明の第2実施形態の半導体装置を接続端子の部分で切断した断面構造図である。

【図6】本発明の半導体製造方法の第2実施形態を示す製造フロー図であって、図5に示す半導体装置の接続端子部で切断した断面構造図による製造フロー図である。

【図7】本発明の半導体装置の第3実施形態であって、低弾性層のみを設けたパッケージを示す断面構造図である。

【図8】図7に示す半導体装置を実装基板に実装した状態を示す断面構造図である。

【図9】本発明の半導体製造方法の第3実施形態を示す製造フロー図であって、図1に示す半導体装置の接続端子部で切断した断面構造図による製造フロー図である。

【図10】本発明の半導体製造方法の第4実施形態を示す製造フロー図であって、図5に示す半導体装置の接続端子部で切断した断面構造図による製造フロー図である。

【図11】従来のチップサイズパッケージを実装基板に実装した断面構造図である。

【符号の説明】

1…半導体素子

2…接続端子

3…樹脂層

4…低弾性層

5…配線層

6…バンプ

7…マスキング

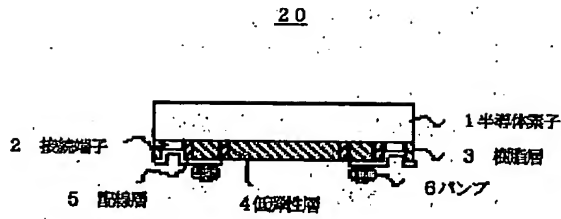
10…実装基板

11…アンダーフィルレジン

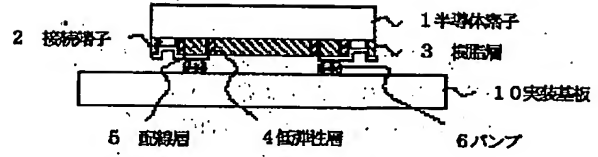
20…半導体装置

(8)

【図1】



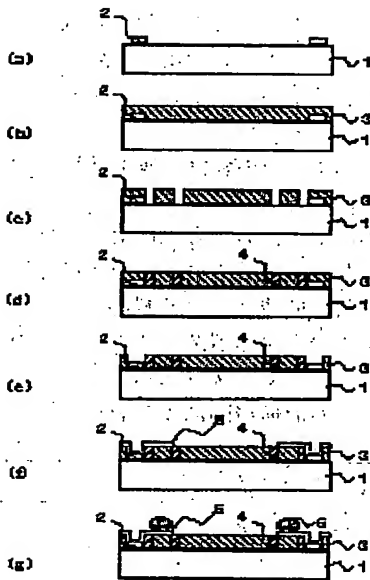
【図2】



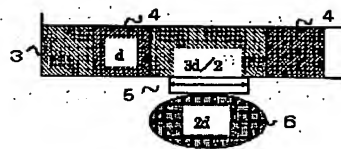
【図5】

20

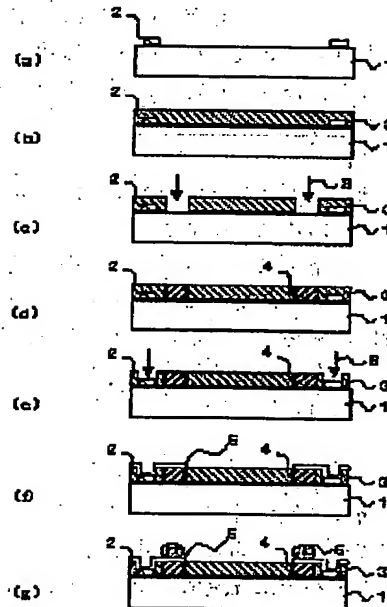
【図3】



【図4】

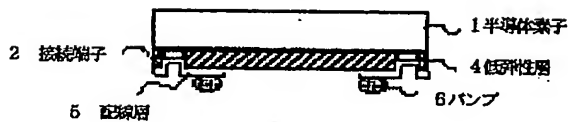


【図6】



【図7】

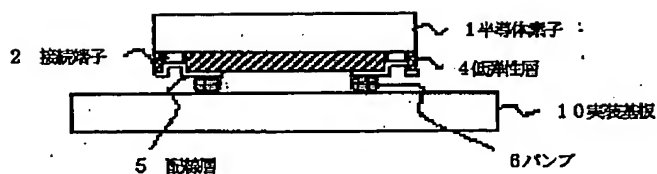
20



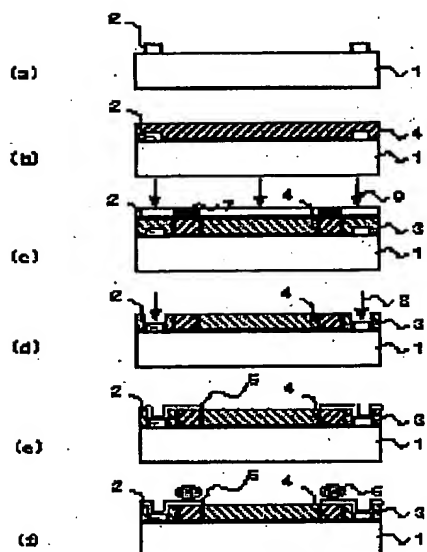
1 半導体素子
2 接続端子
3 樹脂層
4 低弾性層
5 配線層
6 パンプ

(9)

【図8】

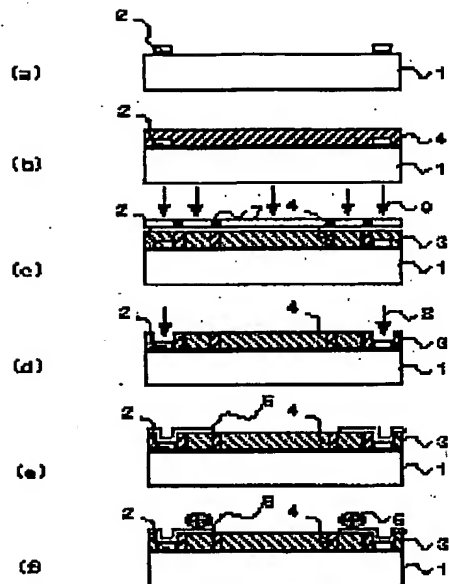


【図10】



- 1...半導体素子
- 2...接合剤
- 3...樹脂層
- 4...低弾性層
- 5...配線層
- 6...ポンプ

【図9】



- 1...半導体素子
- 2...接合剤
- 3...樹脂層
- 4...低弾性層
- 5...配線層
- 6...ポンプ

【図11】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.